

5G向け無線システム開発を ハードウェアテストベッドで高速化

ハードウェアテストベッドは実証済みであり、効率的です。テストベッドを利用することで、新しいテクノロジーを開発し、フィールド試験に展開することができます。Ericssonなどの大手基地局ベンダーは、4G LTEテクノロジーの開発と実装を、少人数で構成した、機動的な対応が可能な設計チームで行いました。これらのチームは、テストベッドを広範囲にわたり活用したことで、製品化までの時間短縮を実現し、テクノロジーのリーダーシップを発揮することができました。5Gに向けた技術開発の本格化に伴い、現在エンジニアチームは4G LTEの開発から得た経験とベストプラクティスを5Gの開発に活かしています。その中でも、テストベッドの使用範囲を広げることで、5Gアルゴリズムとシステムアーキテクチャの開発・フィールド試験を加速しています。

テストベッドを開発、実装する上で、FPGAベースでプロトタイピングしたハードウェアは、実践的であり、推奨されているプラットフォームです。しかし、多くの研究開発チームは、高度な無線通信アルゴリズムには精通していても、FPGAハードウェアへのアルゴリズム実装に必要な専門技術と開発時間の面で、課題を抱えている状況にあります。このホワイトペーパーでは、高度なアルゴリズムを開発し、ハードウェアテストベッドへ迅速に展開するための統合的なワークフローをご紹介します。また、5Gシステムの設計におけるハードウェアテストベッドの使用方法も併せて解説します。

はじめに

現在、世界中の研究者やエンジニアが、5Gの実現に向けて研究開発に取り組んでいます。今後、5Gが実用化されると、ギガビットデータレート、ユビキタスなカバレッジ、超低遅延のほか、コネクテッド・ビークル、M2M (Machine to Machine)、IoT (モノのインターネット) における接続性の大幅な向上といった、多様なメリットが考えられます。また、5Gシステムを支える技術として、変調方式、ビームフォーミング、ミリ波テクノロジー、MIMO アーキテクチャは、現在の4Gから大幅に進化することが予想されています。5Gの規格は今後策定される予定であり、その標準化に関わる企業や組織は技術面でのリーダーシップとその取り組みを示すことで、市場での優位性を確保できるでしょう。

4Gテクノロジーを製品化し、LTE、LTE-A、その他の規格の標準化に関わった経験から、各企業は、設計の繰り返しにかかる時間を短縮し、概念を実証するプロトタイプを迅速にフィールド試験に持ち込むことの重要性を認識しています。テストベッドは、新しい概念を迅速に設計・検証できる点で、信頼性が高く、かつ効率的であることが、4Gテクノロジーに取り組んだエンジニアの間で、製品化前のフィールド試験と同様に実証されています。

市場初投入への課題

テストベッドは次の4つの目的に最適です。

1. 新しいテクノロジーの証明、2. 概念実証の作成、3. 製品化前のプロトタイプの展開、4. 市場即応力や技術リーダーシップを示すための新しいテクノロジーの明示

4G LTEの開発に関わった企業は、市場に初投入することの重要性をその経験を通して理解しています。フィールド試験段階では、企業は開発スケジュールとの戦いだけでなく、競合他社との競争にも直面します。エンジニアチームの開発速度は、消費電力の最適化、FPGAに関わる領域、あるいはコストよりもはるかに重要となります。

5Gに限らず、新しいテクノロジーに取り組む場合、システムエンジニアやシステム設計者にとって重要なのは、研究と技術革新を加速させることです。言い換えれば、プログラミングや、ソフトウェアのデバッグ、設計案をFPGA/ハードウェアに構築するといった作業に、長い時間をかけ、多くのリソースを消費することを抑える必要があります。これは、変動の激しい通信プロトコルを標準化前に

作業する場合にはなおさら重要です。そこで、テストベッドを連携させたツールとワークフローを用いることにより、設計の繰り返し作業や設計変更に迅速に対応することができます。

しかし、ここで大きな課題となるのは、研究開発チームの多くが、信号処理や通信アルゴリズムにおけるFPGA開発とRTL実装の経験を十分に持っていないことです。一般的に、研究開発チームは、信号処理と無線通信アルゴリズムの開発に関しては経験豊富な反面、ハードウェア実装においては比較的経験の浅いエンジニアで構成されています。FPGAベースの無線プロトタイプとテストベッドを、自力で実装するのは非常に困難な作業となります。

「最大の課題は、FPGAベースの無線信号処理の実装を、信号処理とプログラミング技術を持つメンバーで構成した小さなチームで行うことです」

—TOMAS ANDERSSON, ERICSSON

チームが取り得る選択肢として、ハードウェア実装 (FPGAまたはDSP) を集中して行うチームを新たに編成するか、組織内の他のハードウェアグループとソフトウェアグループの協力を得るかの2つが考えられます。

しかし、いずれかの方法で、別のエンジニアグループからサポートを得られたとしても、そのグループが従来のプロセスで作業を進めた場合、プロジェクトの遅延は避けられないでしょう。浮動小数点CまたはMATLAB®で記述されたアルゴリズムを、同等の固定小数点に手動で変換した後に、論理合成可能なHDLコードへの2度目の変換作業を行うには、非常に時間がかかります。また、各段階で多大な設計コストと検証コストが発生することになります。

製品化までの時間短縮を実現する統合型ワークフロー

前章でも触れたとおり、多くの研究開発チームにとって大きな課題は、FPGAとハードウェア実装の専門知識が十分ではないこと、また、従来の開発プロセスでは柔軟性に乏しく、プロジェクトに遅延が発生することにあります。

MATLAB/Simulink® を用いたシステム設計の統合型ワークフローにより、この課題を解決することが可能です(図1)。固定小数点アルゴリズムを直接MATLAB/Simulinkで開発し、システムレベルのシミュレーションで検証することで、エンジニアは新たな設計の概念実証をすばやく繰り返すことができます。アルゴリズムがシミュレーションで正しく動作するようになると、エンジニアはボタンをクリックするだけで、論理合成可能なVerilogまたはVHDLコードを自動的に生成し、FPGAベースのテストベッドに実装することができます。

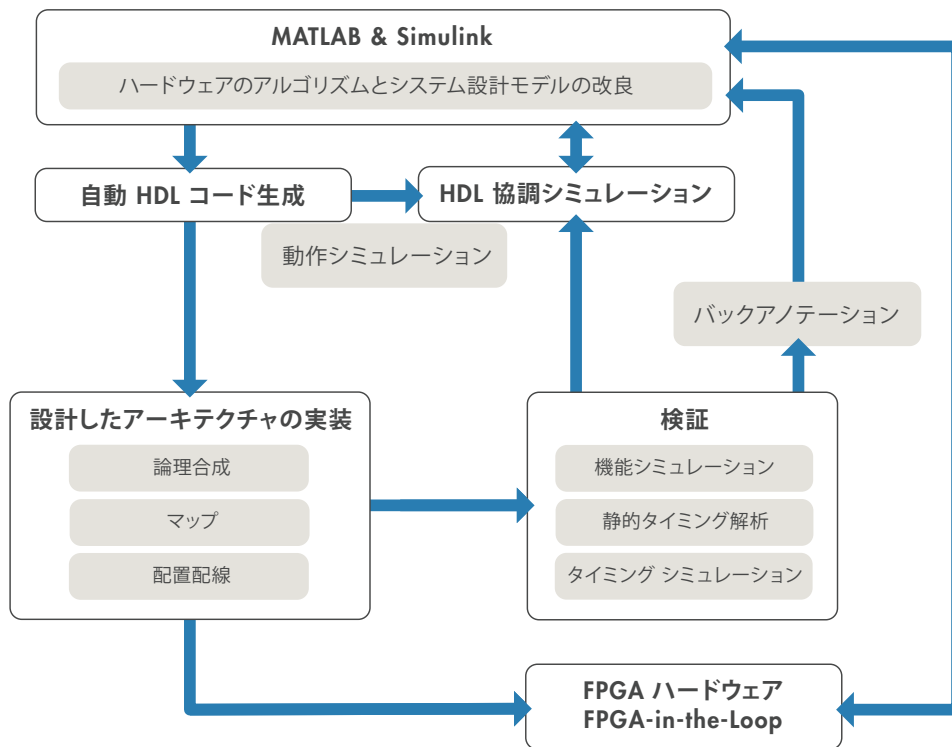


図1. MATLABおよびSimulinkによるシステム設計からハードウェアまでの統合型ワークフロー

ここで、新しい通信規格に基づいたプロトタイプを開発するにあたり、Ericssonが採用したワークフローをご紹介します。

事例: Ericssonでのハードウェアテストベッド

EricssonのSystems and Technologyグループは、無線通信規格機構を主導するほか、規格化、概念開発、無線技術戦略にも積極的に取り組んでいます。このグループでは、新機能の初期段階での論証、概念実証プロジェクトの完了、製品化前のプロトタイプの開発・展開といった複数の戦略的目標を達成するために、ハードウェアテストベッドを使用しています。こうした活動は、Ericssonが新しいテクノロジーや機能を紹介し、市場に初投入されるテクノロジーのリーダー的立場を確立する上でも、重要な役割を果たしています。

これまで、このグループのシステムエンジニアや設計者は、MATLABを使用して新しい設計概念を探究し、浮動小数点アルゴリズムを開発していました。このアプローチは、デスクトップ上での迅速な概念検証には役立ちましたが、実際のハードウェアを使用した現場でのテストに移行しようとしたときに、さまざまな課題に直面しました。そこで、課題を克服する最初のステップとして、グループはアルゴリズムを固定小数点で設計することにしました。複雑になりがちなタスクを簡略化するために、固定小数点の設計プラットフォームとして、Simulink、Communications System Toolbox™、DSP System Toolbox™、Fixed-Point Designer™を採用しました。また、設計の視覚的表現を単純化し、最上位モデルの抽象度を高めるため、設計した詳細なアルゴリズムをサブシステムに実装しました。この方法でサブシステムを利用することにより、エンジニアは基礎となるハードウェア設計の忠実度を維持したまま、各設計と方法論をマネージメント層や顧客に容易に説明できるようになりました。具体的には、シンボルRAM読み出し制御のような制御ロジックやウィンドウ付加、パススルー

などの一般的な信号処理にMATLABを使用します。そして、MATLABコードを、図2のようにLTE変調器のSimulinkモデル全体に直接組み込みます。

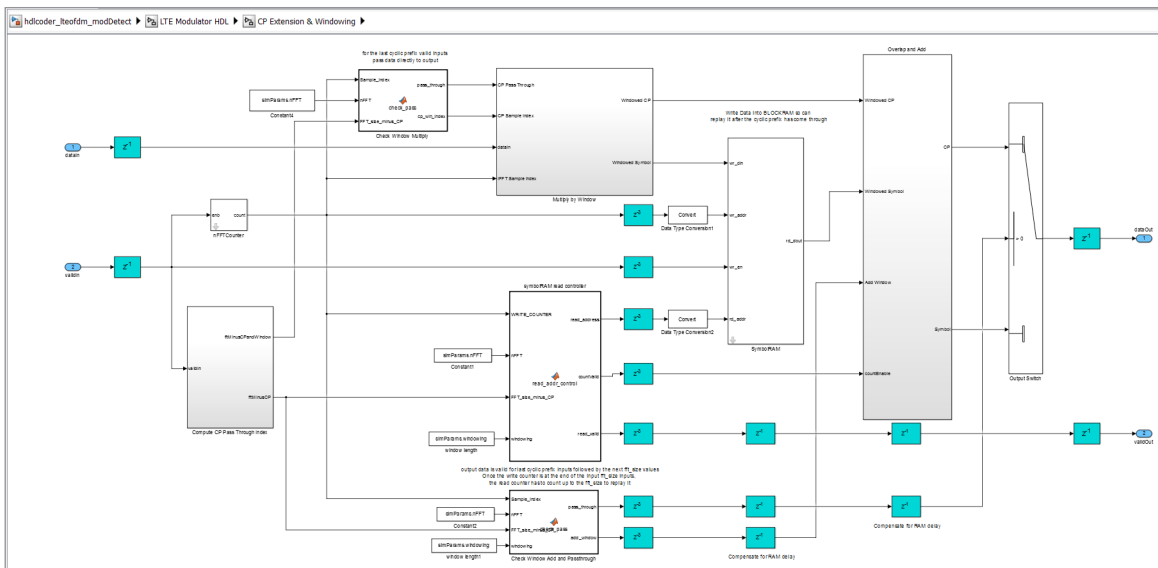


図2. LTE変調器のSimulinkモデルでMATLABアルゴリズムとロジックを使用

Ericssonでは、モデルベースデザイン(MBD)に切り替えたことにより、エンジニアがFPGAプロトタイプの開発で、シミュレーションと実装に使用するモデルは1つになりました。同じ設計に2つの異なる表現を保持する必要はありません。また、システム設計の実装をハードウェアプロトotypingの専門チームに託す必要もなくなりました。作成したモデルは、HDL Coderを使用して、HDLコードの自動生成に対応した固定小数点アルゴリズムブロックのライブラリで描かれているため、エンジニアはいつでもこのモデルをFPGAに実装できます。実際に、シミュレーションが動作すると、彼らは自動生成されたHDLコードが、FPGAで問題なく動作することを確認できました。その結果、チームは設計の繰り返し作業に費やす時間を短縮し、タイミング収束の設計変更を実装する場合や、規格または仕様に変更を反映する場合の作業を迅速に実行できるようになりました。

「新しい設計案が持ち上がると新しい設計が必要になります。HDL Coderを使用したことで、変更の妥当性を実証するデモを1週間以内に機能させることができました」—TOMAS ANDERSSON, ERICSSON

ハードウェアテストベッドで概念実証を完了・実装するために、このチームは、MATLABとSimulinkで開発したアルゴリズムを、標準的なFPGA開発環境で、他のシステムコンポーネントに統合しました。具体的には、HDL Coderを使用してSimulinkから自動生成されたHDLコードを、ハンドコーディングされたカスタムインターフェースとFPGAベンダーから提供されるソフトプロセッサ、DMA、物理インターフェースといったIPコアと統合します。さらに、必要な変更をSimulinkで行い、コードを再生成（通常、数分で完了）したら、そのコードをFPGA開発環境に統合し、FPGA実装用に論理合成します。

Ericssonのエンジニアより、上記の方法で生成されたコードは適切に構造化されており、また、可読性に優れ、正確に機能していることが報告されています。

まとめ

研究開発チームが、5Gをはじめとする次世代の無線アルゴリズムに取り組むにあたっての大きな課題は、FPGAとハードウェア実装における専門知識が十分ではないこと、また、従来の開発プロセスでは柔軟性に乏しく、プロジェクトが長期化する可能性があることです。

MATLAB/Simulinkを使用したシステム設計の統合型ワークフローを導入することにより、ハードウェア経験が十分ではないエンジニアでも、容易にハードウェアテストベッドを作成し、実装できるようになります。このようなワークフローは、限られた設計スケジュールでプロトタイピングおよび概念実証プロジェクトを行う場合に、特に適しているでしょう。エンジニアはハードウェア専門のエキスパートまたは数少ない実装チームに依存する必要がなくなります。また、従来のプロセスと比べ、このアプローチにはさまざまなメリットがあります。シミュレーションとコード生成に1つのモデルを使用することで、プロセスが大幅に簡略化され、システム設計チームと実装チーム間のやり取りは不要になります。さらに、モデルがシミュレーションで検証されると、FPGA実装の準備が整います。設計変更により繰り返されるサイクルが大きく短縮されるため、エンジニアチームは仕様や規格の変更にも迅速に対応できるようになります。

無線通信システムの設計およびハードウェアプロトタイピングの詳細については、[無線通信ソリューション](#)および[HDL統合型ワークフロー](#)をご参照ください。また、HDL Coderの詳細な使用方法については、[HDLコード例](#)でご紹介しています。Ericssonのエンジニアによるハードウェアテストベッドを使用した設計の詳細については、[HDL Coderを使用したテストベッド設計](#)の動画をご覧ください。

[Ericsson](#)に加え [Huawei](#)、[Qualcomm](#)、[Bosch](#)、[Renesas](#)、[Philips Healthcare](#)といった世界のマーケットリーダーは、高度な通信システム、エレクトロニクスシステム、半導体システムのASIC/FPGA実装のプロトタイピング、組み込み、検証にMATLAB、Simulink、HDL Coder、HDL Verifierを採用しています。